

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.


Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP6052686
Publication date: 1994-02-25
Inventor(s): KOJIMA YOSHIKI
Applicant(s):: TOSHIBA CORP; others: 01
Requested Patent:  JP6052686
Application Number: JP19920202392 19920729
Priority Number(s):
IPC Classification: G11C11/413 ; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the increase of assembling man-hour and a cost, to surely protect a memory for a long time by a small battery and to obtain a semiconductor integrated circuit capable of miniaturizing the shape of the device.

CONSTITUTION:A detecting circuit 21g for power source voltage detecting the voltage of a battery for operation 22 and a power source switching circuit 21h switching power source supply to a SRAM 21c from the battery for operation 22 to a battery 23 for memory protection when the voltage of the battery for operation 22 is lowered are provided in the semiconductor integrated circuit 21. Consequently, by reducing the numbers of parts so as to reduce assembling man-hour and controlling the power source switching circuit 21h by means of a power source switching signal PC outputted from the SRAM 21c, the memory is surely protected and the shape of the device is miniaturized.

Data supplied from the esp@cenet database - I2

①

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-52686

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/413

H 0 1 L 27/04

H 8427-4M

6741-5L

G 1 1 C 11/ 34

3 3 5 B

審査請求 未請求 請求項の数9(全10頁)

(21)出願番号

特願平4-202392

(22)出願日

平成4年(1992)7月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 小島 愛基

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

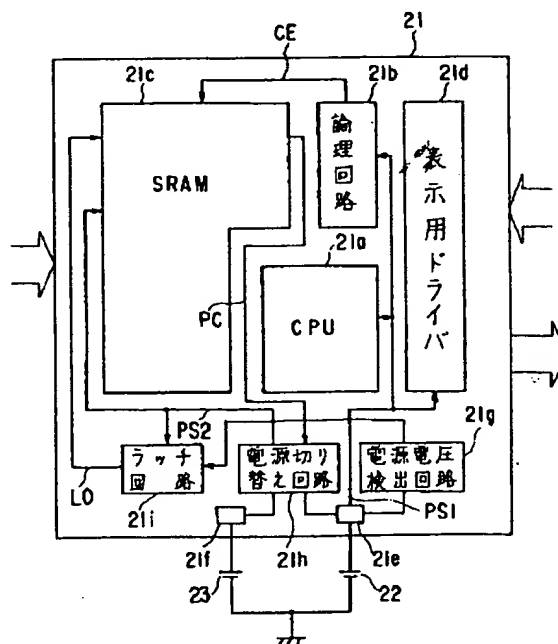
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】この発明の目的は、組立工数およびコストの増加を防止でき、しかも、小型の電池によって長時間確実にメモリを保護することができ、装置形状の小形化が可能な半導体集積回路を提供することである。

【構成】動作電池22の電圧を検出する電源電圧検出回路21g、および動作電池22の電圧が低下した場合SRAM21cに対する電源供給を動作電池22からメモリ保護用電池23に切り替える電源切り替え回路21hを半導体集積回路21に設けことにより、部分の点数を削減して組み立て工数を削減し、SRAM21cから出力される電源切り替え信号PCによって電源切り替え回路21hを制御することにより、確実にメモリを保護でき、装置形状の小形化を可能としている。



【特許請求の範囲】

【請求項 1】 動作電池が接続される第 1 の端子と、メモリ保護用電池が接続される第 2 の端子と、前記第 1 の端子に接続された動作電池の電圧を検出する電源電圧検出回路と、この電源電圧検出回路の出力を保持するラッチ回路と、このラッチ回路の出力信号に応じて、アクセスが可能または禁止状態に設定される揮発性メモリと、ラッチ回路の出力信号に応じた電源切り替え信号が前記揮発性メモリのアクセス可能を意味する場合、前記第 1 の端子に接続された動作電池から供給される電源を前記揮発性メモリに供給し、前記電源切り替え信号が揮発性メモリのアクセス禁止を意味する場合、前記第 2 の端子に接続されたメモリ保護用電池から供給される電源を前記揮発性メモリに供給する電源切り替え回路と、を具備することを特徴とした半導体集積回路。

【請求項 2】 前記電源切り替え信号は、前記揮発性メモリに供給され、揮発性メモリのチップイネーブル信号の制御あるいはセンスアンプ起動信号もしくはプリチャージ信号に使用された後出力される前記ラッチ回路の出力信号であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記電源切り替え信号は、前記ラッチ回路の出力信号であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記ラッチ回路は、前記電源切り替え回路から出力される電源により動作することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】 前記電源切り替え回路は、前記第 1、第 2 の端子の間に直列接続され、前記電源切り替え信号が前記揮発性メモリのアクセス可能を意味する場合に導通され、第 1 の端子に接続された動作電池から前記揮発性メモリに電源を供給する第 1 導電型の第 1、第 2 のトランジスタ、および前記電源切り替え信号が前記揮発性メモリのアクセス禁止を意味する場合に導通され、第 2 の端子に接続されたメモリ保護用電池から前記揮発性メモリに電源を供給する第 1 導電型の第 3、第 4 のトランジスタを有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】 前記電源切り替え回路は、動作電池を第 1 の端子に接続した初期状態に導通され、前記第 1 導電型の第 1、第 2 のトランジスタを導通状態とする第 2 導電型のトランジスタを有することを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 前記電源切り替え回路は、前記動作電池を第 1 の端子に接続した初期状態に、動作電池から前記揮発性メモリおよびラッチ回路に電源を供給するキャパシタを有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 8】 前記電源切り替え回路は、前記動作電池

を第 1 の端子に接続した初期状態に導通され、動作電池から前記揮発性メモリおよびラッチ回路に電源を供給する第 2 導電型のトランジスタを有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 9】 前記第 2、第 3 のトランジスタの相互間に接続され、動作電池またはメモリ保護用電池から供給される電源を外部に出力する外部端子を有することを特徴とする請求項 5 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば揮発性メモリを有する半導体集積回路に係わり、特に、電源電圧の低下に伴う揮発性メモリのデータ破壊を防ぐバックアップ回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路（LSI と称す）は、近年になって急激な発展を遂げ超高密化が進み、電子手帳、データ・バンク等に内蔵される LSI は、大容量のメモリを混載するものが多くなってきた。例えば、電子手帳に適用され、SRAM（static RAM）を混載する LSI は、数 k ビットから数 10 k ビットへと大容量化している。SRAM のような揮発性メモリを混載する LSI では、低電圧時でのデータ破壊が問題となる。即ち、電子手帳等では電池切れなどによる電圧降下時におけるデータの保証が問題となる。

【0003】この問題は、SRAM に代えて不揮発性メモリ、例えば、E² PROM などを用いれば解決するが、電子手帳等の民生用 LSI はコストの点を考えると、LSI 製造工程が複雑で、且つ歩留まりが低い不揮発性メモリを混載するより、LSI 製造工程が簡単で製造コストが低く、且つ高歩留まりが期待できる SRAM を使用することが多い。そのため、低電圧時における SRAM のデータ破壊を防止するため、バッテリー・バックアップと言われる手段が必要となる。

【0004】図 7 は、従来の LSI を用いた電子手帳の例を示すものである。同図において、この電子手帳 10 には LSI 11 が設けられている。この LSI 11 には、図示せぬ IC カードを接続するための IC カードコネクタ 12、各種のデータを入力するためのキーパネル 13、各種のデータを表示するための表示用パネル 14 等が接続されている。

【0005】前記 LSI 11 内には CPU 11a、電子手帳特有の機能が設定された論理回路 11b、SRAM 11c、前記表示パネル 14 を駆動するための表示用ドライバ 11d が設けられている。前記 SRAM 11c の電源は、SRAM 専用の電源端子（VRAM）11e から供給されており、CPU 11a、論理回路 11b、表示用ドライバ 11d 等は動作電源端子（VDD）11f より電源が供給される。

【0006】また、この電子手帳 10 は、動作電源電

池15、メモリ保護用電池16の二つの電池を備え、各電池15、16はLSI11の外部に設けられた電源切り替え回路17を構成するダイオード17a、17bを介して前記SRAM専用の電源端子11eに接続されている。さらに、動作電源電池15は動作電源端子11fに直接接続されるとともに、電源電圧の低下を検出する電源電圧検出回路18の入力端に接続されている。この電源電圧検出回路18の出力端はLSI11の端子11gに接続され、電源電圧検出回路18の出力信号に応じて、例えば前記表示パネル14に警告が表示される。尚、LSI11の外部には、電子手帳の付加機能に応じて各種回路部品が接続され、それによって、組立行程も増える。

【0007】図8は、図7に示す構成に、例えば電源を外部より供給可能としたものであり、SRAM専用の電源端子11e、動作電源端子11fには、ダイオード17c、17d、17eを介して外部電源19が接続されている。このように、機能を増加することにより、LSI11の外部に接続される部品点数が増加するため、組立行程も増加する。ここで、上記LSI11の動作電源電池15、メモリ保護用電池16等からなる電源回路について、さらに説明する。

【0008】図7に示す電源回路のダイオード17a、17bは、動作電源電池15、メモリ保護用電池16の何れかの電圧が低い時、必ず電圧の低い電池に接続されたダイオードが逆方向となって電池同士の放電を防いでいる。また、LSI11内部のSRAM11cへの電圧供給は、電圧の高い電池から行われるようになっている。即ち、ダイオード17a～17eが、図7、図8に示すように、動作電源電池15、メモリ保護用電池16、外部電源19に接続されているため、これらの初期電圧は必ず

動作電源電池電圧（もしくは外部電源電圧）＞メモリ保護用電池電圧

【0009】に設定しなくてはならず、この条件を満たすことができなくなった時、SRAM11cの電源は、動作電源電池15もしくは外部電源19からメモリ保護用電池16に切り替えられる。仮に、電池を初めから動作電源電池電圧≦メモリ保護用電池電圧

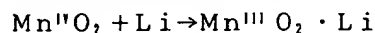
【0010】の条件で使用した場合、SRAM11cは常時メモリ保護用電池16で動作している。このため、データを保護したい時、この電池は消費され、且つ動作電源電池の電圧はもともと低く設定されているため、電池が切り替えられても正常な電圧を得られないものである。

【0011】また、メモリ保護用電池16はその用途上、一般的に動作電源電池15より小型で、バックアップ電池として必要最小限のものが使用される。つまり、ダイオード17a～17eを使用した図7、図8に示すような構成の電源切り替え回路17は、動作電源電池15も

しくはメモリ保護用電池16のいずれか高いほうから電源端子11eに電源が供給され、動作電源電池15をメモリ保護用電池16より高い電圧に設定するならば使用する動作電源電池とメモリ保護用電池の電圧条件は決ってしまう。

【0012】近年の電子手帳、データ・バンク等のLSIは低電圧低消費電力化される傾向にあり、動作電源電池15の電圧は3Vあるいは1.5Vであるため、これよりさらに低い電圧のメモリ保護用電池を確保することが難しくなっている。

【0013】また、電子手帳のような薄型パッケージで構成された機器は、薄型の電池を使用している。すなわち、一般的には、エネルギー密度が高く、放電電圧の平坦性が良く、使用温度範囲が広いCR系のコイン型二酸化マンガンリチウム電池が使用されている。CR系の電池の放電反応式を簡単に示すと



となり、電圧は負極と正極の材料で原理的に決ってしまう。上記CR系のコイン型二酸化マンガンリチウム電池は通常、公称電圧3Vの電池となっている。

【0014】前述したLSI11の動作電圧が低電圧化している現状であり、通常の動作電圧が3V付近であることを考えれば、メモリ保護用電池の電圧は3Vより低い電池電圧ということになる。すると、メモリ保護用電池は限られ、ボタン型電池のなかでも酸化銀電池（SR系）またはアルカリ・ボタン電池（LR系）等になる。しかし、SR系、LR系電池のエネルギー密度は、コイン型二酸化マンガンリチウム電池に比べると小さいため、電子手帳等の大容量メモリのメモリ保護用電池として使用するには容量が十分でない。そのため、長時間のメモリ保護を行うことができない。また、容量の大きなSR系、LR系のコイン型電池もあるが、これらはCR系の電池に比べると厚みがあり、これを使用した場合、パッケージが厚くなってしまふ。よって、動作電源電池とメモリ保護用電池は、大きさが異なることもあるが、同じ電圧を発生する電池を使用せざるを得ない状況となっている。

【0015】

【発明が解決しようとする課題】上記のように、従来の半導体集積回路は、電源切り替え回路がLSIの外部に設けられているため、LSI以外の部品点数が増加し、組立行数及び製造コストが増加するものであった。また、動作電源電池とメモリ保護用電池の電圧や形状の仕様が規定されてしまうため、小型の電池を使用することができず、且つ長時間確実にメモリを保護することが困難なものであった。

【0016】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、LSIの外部に接続される部品点数を削減して組立工数およびコストの増加を防止することができ、しかも、小型の電池

によって長時間確実にメモリを保護することができ、装置形状の小形化が可能な半導体集積回路を提供しようとするものである。

【0017】

【課題を解決するための手段】この発明は、上記課題を解決するため動作電池が接続される第1の端子と、メモリ保護用電池が接続される第2の端子と、前記第1の端子に接続された動作電池の電圧を検出する電源電圧検出回路と、この電源電圧検出回路の出力を保持するラッチ回路と、このラッチ回路の出力信号に応じて、アクセスが可能または禁止状態に設定される揮発性メモリと、ラッチ回路の出力信号に応じた電源切り替え信号が前記揮発性メモリのアクセス可能を意味する場合、前記第1の端子に接続された動作電池から供給される電源を前記揮発性メモリに供給し、前記電源切り替え信号が揮発性メモリのアクセス禁止を意味する場合、前記第2の端子に接続されたメモリ保護用電池から供給される電源を前記揮発性メモリに供給する電源切り替え回路とを具備している。

【0018】

【作用】即ち、この発明は、動作電池の電圧を検出する電源電圧検出回路および動作電池の電圧が低下した場合、揮発性メモリに対する電源供給を動作電池からメモリ保護用電池に切り替える電源切り替え回路を半導体集積回路内に設けているため、半導体集積回路の外部に接続される部分の点数を削減して組み立て工数を削減している。

【0019】また、電源電圧検出回路の出力をラッチ回路によって保持し、このラッチ回路の出力信号に応じて、揮発性メモリをアクセス可能状態または禁止状態に設定し、さらに、ラッチ回路の出力信号に応じた電源切り替え信号によって電源切り替え回路を切り替え制御しているため、動作電池の電圧が低下した場合においても確実に揮発性メモリに記憶されたデータを保護することができ、しかも、動作電池の電源を有効に利用できるように、小型のメモリ保護用電池を使用でき、装置形状の小形化を図ることができる。

【0020】

【実施例】以下、図面を参照してこの発明の一実施例について説明する。

【0021】図1は、例えば電子手帳に適用される半導体集積回路を示すものである。この半導体集積回路21内には、CPU21a、電子手帳特有の機能が設定された論理回路21b、各種のデータを記憶するSRAM21c、図示せぬ表示パネルを駆動するための表示用ドライバ21dが設けられている。

【0022】また、半導体集積回路21内には、第1、
基準電圧<動作電池電圧

【0028】この結果、動作電池電圧と基準電圧とが上記(1)式を満足する場合、電源電圧検出回路21g

第2の外部端子21e、21fが設けられており、第1の外部端子21eには動作電池22が接続され、第2の外部端子21fにはメモリ保護用電池23が接続されている。

【0023】前記第1の外部端子21eは、前記CPU21a、論理回路21b、表示用ドライバ21dに接続されるとともに、電源電圧検出回路21gおよび電源切り替え回路21hの一方入力端に接続されている。前記CPU21a、論理回路21b、表示用ドライバ21dには、第1の外部端子21eに接続された動作電池22の電圧が、第1の内部電源PS1として直接供給される。

【0024】前記電源電圧検出回路21gは第1の外部端子21eに接続された動作電池22の電圧が基準電圧より高いか否かを検出するものであり、この電源電圧検出回路21gは動作電池22の電圧が基準電圧より高い場合、ハイレベル信号を出力し、低い場合ローレベル信号を出力する。電源電圧検出回路21gの出力端にはラッチ回路21iが接続されており、電源電圧検出回路21gから出力された信号は、このラッチ回路21iに記憶される。

【0025】このラッチ回路21iの出力端は前記SRAM21cに接続されており、ラッチ回路21iの出力信号LOは、前記論理回路21bからSRAM21cに供給される例えばチップネーブル信号CEを制御する信号、あるいはSRAM21cのセンスアンプ起動信号もしくはプリチャージ信号とともに使用され、且つSRAM21cから電源切り替え信号PCとして出力される。この電源切り替え信号PCは前記電源切り替え回路21hに供給される。

【0026】また、前記電源切り替え回路21hの他方入力端は前記第2の外部端子21fに接続されている。この電源切り替え回路21hは、前記SRAM21cから出力される電源切り替え信号PCに従って、動作電池22とメモリ保護用電池23とを切り替え、第2の内部電源PS2として出力するものであり、この電源切り替え回路21hの出力端はSRAM21cおよびラッチ回路21iに接続されている。したがって、SRAM21cおよびラッチ回路21iは動作電池22またはメモリ保護用電池23から電源が供給される。上記構成において、図2を参照して概略的な動作について説明する。

【0027】電源電圧検出回路21gは、動作電池22の電圧をモニタしている(S1、S2)。すなわち、電源電圧検出回路21gは、動作電池22の電圧と基準電圧との関係が次式(1)を満足するか否か比較される。

…(1)

から例えば3Vのハイレベル信号が出力され、この信号はラッチ回路21iにラッチされる(S3)。このラッ

チ回路21iから出力されるハイレベルの出力信号LOはSRAM21cに供給され、チップネーブル信号CEを入力許可状態に設定する。SRAM21cに供給されたラッチ回路21iの出力信号LOは、SRAM21cから若干遅延されて出力され、電源切り替え回路21hに電源切り替え信号PCとして供給される。この電源切り替え回路21hは電源切り替え信号PCがハイレベルの場合、第1の外部端子21eに接続された動作電池基準電圧 \geq 動作電池電圧

【0029】電源電圧検出回路21gから例えば0Vのローレベル信号が出力され、この信号はラッチ回路21iにラッチされる(S4)。このラッチ回路21iから出力されるローレベルの出力信号LOはSRAM21cに供給され、チップネーブル信号CEを強制的に禁止状態として、SRAM21cに対するアクセスを禁止し、データ保持状態とする(S5)。即ち、アドレス・バス、データ・バスがSRAM21cの外部で変化しても内部は変化せず、且つリード、ライト信号も意味無しの状態、即ち、受け付けなくする。

【0030】また、前記SRAM21cに供給されたラッチ回路21iの出力信号LOは、SRAM21cから若干遅延されて出力され、電源切り替え回路21hに電源切り替え信号PCとして供給される。この電源切り替え回路21hは電源切り替え信号PCがローレベルの場合、第2の外部端子21fに接続されたメモリ保護用電池23を選択する(S6)。したがって、SRAM21cおよびラッチ回路21iにはメモリ保護用電池23から電源が供給される。また、前記ステップS4において、ラッチ回路21iにローレベル信号がラッチされた場合、例えば表示ドライバ21dを介して図示せぬ表示パネルに電池切れを示す警告を表示したり、図示せぬブザーにより電池切れが報知される。この警告動作はステップS6において行ってもよい。

【0031】ステップS6において、電源が切り替えられると再度ステップS1へ戻り、ステップS1、S2、S4~S6の動作が繰り返される。そして、動作電池22新しい電池に交換されると、ステップS3でラッチ回路21iの内容が書き替えられ、SRAM21cがアクセス可能な状態に設定され、警告動作が解除されるとともに、電源切り替え回路21hによって動作電池22が選択される。

【0032】上記のように、電源切り替え回路21hはSRAM21cから出力される電源切り替え信号PCがイネーブル可能な状態になってから電源を切り替えている。しかし、一般に、電子手帳等では新しい動作電池を入れたら、CPU等のシステム・リセットがかかり、SRAMはアクセスされないため、問題なくメモリ保護用電池から動作電池に切り替えることができる。

【0033】尚、電源切り替え信号PCは、SRAM21cによって遅延されたラッチ回路21iの出力信号L

22を選択する。したがって、SRAM21cおよびラッチ回路21iには動作電池22から電源が供給される。上記のように、電源電圧検出回路21gによる比較の結果、(1)式を満足する場合は、ステップS1~S3の動作が繰り返される。一方、電源電圧検出回路21gによる比較の結果、動作電池22の電圧と基準電圧との関係が、次式(2)に示す関係である場合、

…(2)

Oとしたが、これに限らず、ラッチ回路21iの出力信号LOを直接用いることも可能である。

【0034】上記実施例によれば、電源電圧検出回路21gと電源切り替え回路21hをLSI21に内蔵することにより、LSI21の外部に接続される部品の点数を削減できるため、組み立て工数を減少でき、コストを低廉化できる。

【0035】また、電源電圧検出回路21gの出力信号をラッチ回路21iによって保持し、このラッチ回路21iの出力信号LOによってSRAM21cをアクセス可能状態あるいはアクセス禁止状態に設定し、このSRAM21c内部で使用されたラッチ回路21iの出力信号LOを電源切り替え信号PCとして出力し、電源切り替え回路21hはこの電源切り替え信号PCに応じて、動作電池22とメモリ保護用電池23を切り替えている。したがって、電源電圧の検出動作に従って電源切り替え回路が動作するため、従来のように、電源電圧検出動作と電源切り替え動作がそれぞれ独立している場合に比べて、メモリ・バックアップ時のデータの信頼性を著しく向上できる。即ち、電源電圧検出動作と電源切り替え動作がそれぞれ独立している場合、SRAM21cがアクセス可能な状態で電源を切り替え、データを破壊することが考えられるが、この実施例の場合、SRAM21cをデータ保持状態とした後、電源を切り替えているため、データの破壊を防止できる。

【0036】さらに、動作電池22の電圧がメモリ保護用電池23の電圧より低下した場合においても、電源電圧検出回路21gの基準電圧より動作電池22の電圧が高い場合は、動作電池22からメモリ保護用電池23に切り替えない。このため、従来のダイオードを使用した電源切り替え回路のように、動作電池の電圧がメモリ保護用電池の電圧より低下した時点で、動作電池からメモリ保護用電池に切り替える場合に比べて、動作電池を有効に利用できる。したがって、長時間メモリを保護できるとともに、小形化のメモリ保護用電池を使用することができ、装置形状を小形化できるものである。

【0037】また、ラッチ回路21iは電源切り替え回路21hの出力電圧によって動作しているため、動作電池22の電圧が低下し、CPUなどが動作しなくなってもデータを保持できる。図3は、前記電源切り替え回

路21hの第1の実施例を示すものであり、図1と同一部分には同一符号を付す。

【0038】第1の外部端子21eからは動作電池22から供給される電源が第1の内部電源PS1として出力される。また、第1、第2の外部端子21e、21fの相互間には、PチャネルトランジスタP1～P4の電流通路が直列接続され、トランジスタP2、P3の相互接続点から第2の内部電源PS2が出力される。PチャネルトランジスタP1、P2に接続されたダイオードD1、D2、およびPチャネルトランジスタP3、P4に接続されたダイオードD3、D4はそれぞれサブストレートとソース、ドレインのジャンクション接合ダイオードである。

【0039】一方、SRAM21cから出力される電源切り替え信号PCは、第1のインバータ回路IV1の入力端を構成するPチャネルトランジスタP5およびNチャネルトランジスタN1のゲートに供給されている。PチャネルトランジスタP5のソースは第2の内部電源PS2に接続され、ドレインはNチャネルトランジスタN1のドレインに接続されている。このNチャネルトランジスタN1のソースは接地されている。第1のインバータ回路IV1の出力端を構成するPチャネルトランジスタP5、NチャネルトランジスタN1のドレインは、第2のインバータ回路IV2の入力端を構成するPチャネルトランジスタP6およびNチャネルトランジスタN2のゲートに接続されるとともに、NチャネルトランジスタN3のドレイン、前記PチャネルトランジスタP2のゲート、レベルシフト回路LS1の入力端に接続されている。このレベルシフト回路LS1の出力端は前記PチャネルトランジスタP1のゲートに接続されている。

【0040】また、前記第2のインバータ回路IV2のPチャネルトランジスタP6のソースは第2の内部電源PS2に接続され、ドレインはNチャネルトランジスタN2のドレインに接続されている。このNチャネルトランジスタN2のソースは接地されている。第2のインバータ回路IV2の出力端を構成するPチャネルトランジスタP6、NチャネルトランジスタN2のドレインは、前記PチャネルトランジスタP3のゲート、レベルシフト回路LS2の入力端に接続されている。このレベルシフト回路LS2の出力端は前記PチャネルトランジスタP4のゲートに接続されている。

【0041】上記レベルシフト回路LS1、LS2は第2の内部電源PS2がトランジスタP1、P4のソース電位より低い時にトランジスタP1、P4の何れか一方を完全にオフさせるものである。

【0042】さらに、前記トランジスタN3のソースは接地され、ゲートにはパワー・オン・クリア信号POCが供給されている。このパワー・オン・クリア信号POCは、例えば、動作電池をセットした初期のある期間のみ、第1の内部電源PS1の立ち上がりに応じて前記

論理回路21bから出力されるものである。このトランジスタN3は、パワー・オン・クリア信号POCが供給されると導通し、トランジスタP1、P2を強制的にオンとして第1の外部端子21eより第2の内部電源PS2を供給する。これにより前記第1、第2のインバータ回路IV1、IV2、およびラッチ回路21iの初期動作が問題なく行われる。

【0043】上記構成において、動作について説明する。尚、接地電位は0Vとし、第1の外部端子21eには動作電池22から3Vが供給され、第2の外部端子21fにはメモリ保護用電池より3Vが供給され、電源電圧検出回路21gの基準電圧は2Vとする。

【0044】動作電池22が安定している時、即ち“検出基準電圧<動作電池電圧”の場合、トランジスタN3はオフ状態、SRAM21cはイネーブル状態であり、ラッチ回路21iの出力信号LOは3V、SRAM21cから出力される電源切り替え信号PCは3Vである。したがって、第1のインバータ回路IV1の出力は0Vとなり、レベルシフト回路LS1の出力も0Vとなる。第2のインバータ回路IV2の出力は、入力が0Vであるから3Vであり、レベルシフト回路LS2の出力は3Vである。このため、トランジスタP1、P2はオン状態、トランジスタP3、P4はオフ状態であり、第2の内部電源PS2は動作電池22から供給される。

【0045】動作電池を使用し続けると、“検出基準電圧<動作電池電圧”の状態でありながら、“動作電池電圧(2.5V)<メモリ保護用電池電圧3V”となる状態がある。この時、ラッチ回路21iの出力信号LOは動作電池電圧と同様に2.5Vであり、SRAM21cから出力される電源切り替え信号PCも2.5Vである。したがって、第1のインバータ回路IV1の出力は0Vであり、トランジスタP1、P2はオン状態のままである。

【0046】また、第2のインバータ回路IV2の出力は、第2の内部電源PS2の変化に伴い2.5Vとなるが、トランジスタP3は、そのゲート・ソース間電圧 $V_{GS}=0V$ であるためオフ状態となり、トランジスタP4のゲート入力レベルシフト回路LS2によって第2の内部電源PS2(2.5V)より高い3Vへ変換されているため、そのゲート・ソース間電圧 $V_{GS}=0V$ でありオフ状態となる。したがって、第2の外部端子21fと第2の内部電源PS2とを完全に遮断できる。

【0047】従来は、“動作電池電圧<メモリ保護用電池電圧”の場合、動作電池を使用できない。しかし、この電源切り替え回路21hは、トランジスタP3、P4がオフすることにより、相反する向きでダイオードD3、D4を形成する。したがって、順方向のフォワード電圧、フォワード電流が発生せず、トランジスタのスイッチングにより電源の切り替えが制御できる。

め、動作用電池を依然として使用できる。

【0048】次に、動作用電池22の電圧が2V以下に低下し、“検出基準電圧 \geq 動作用電池電圧”となると、電源電圧検出回路21gによってラッチ回路21iの内容が書き替えられ、ラッチ回路21iの出力信号L0は0Vとなる。このため、前記SRAM21cから出力される電源切り替え信号PCは0Vとなり、第1のインバータ回路IV1の出力は2V以下のハイレベルとなり、トランジスタP1、P2はオフし、トランジスタP3、P4はオンする。したがって、第2の内部電源PS2は、メモリ保護用電池23から供給される。このとき、トランジスタP1のゲート・ソース間電圧 V_{gs} は、レベルシフト回路LS1により確実に $V_{gs}=0V$ となり、トランジスタP1は確実にオフする。また、トランジスタP1、P2がオフすることにより、相反する向きでダイオードD1、D2を形成する。

【0049】このように、この電源切り替え回路21hは、従来のように動作用電池電圧とメモリ用電池電圧の何れか高い方の電圧が単に供給されるのではなく、トランジスタP1~P4のスイッチングにより、選択的に行うことが可能となる。即ち、この発明の電源切り替え回路21hを使用することにより、LSI21の外部に設けられた電池を、本来のメモリ保護用電池と動作用電池と区別して使用することが可能となり、メモリ保護の信頼性も向上する。

【0050】図4乃至図6は、それぞれ前記電源切り替え回路21hの第2乃至第4の実施例を示すものであり、図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0051】図4は、図3に示すNチャネルトランジスタN3に代えて、第1の内部電源PS1と第2の内部電源PS2の間にキャパシタCを接続している。この実施例の場合、第2の内部電源PS2の初期電圧はキャパシタCの充電電圧によって設定される。この構成の場合、パワー・オン・クリア信号POCが不要であり、回路を簡単化できる。

【0052】図5は、図3に示すPチャネルトランジスタP2、P3の相互接続点に第3の外部端子21jを形成したものである。このような構成とすることにより、第2の内部電源PS2を外部に出力することができるため、例えばLSI21の外部に別のSRAMを増設した場合、そのSRAMもバックアップできる。

【0053】図6は、図4に示すキャパシタCに代えて、第1の内部電源PS1と第2の内部電源PS2の間

にNチャネルトランジスタP7の電流通路を接続し、このトランジスタのゲートを反転されたパワー・オン・クリア信号/POCによって制御している。この実施例によっても図3に示す回路と同様の効果を得ることができる。

【0054】尚、この発明は正電源、即ち、P型基板のLSIについて説明したが、トランジスタの導電型を変えることにより、負電源、即ち、N型基板のLSIによって構成することも可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0055】

【発明の効果】以上、詳述したようにこの発明によれば、LSIの外部に接続される部品点数を削減して組立工数およびコストの増加を防止することができ、しかも、小型の電池によって長時間確実にメモリを保護することができ、装置形状の小形化が可能な半導体集積回路を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す回路構成図。

【図2】図1に示す回路の動作を概略的に示すフローチャート。

【図3】図1に示す電源切り替え回路の第1の実施例を示す回路図。

【図4】電源切り替え回路の第2の実施例を示す回路図。

【図5】電源切り替え回路の第3の実施例を示す回路図。

【図6】電源切り替え回路の第4の実施例を示す回路図。

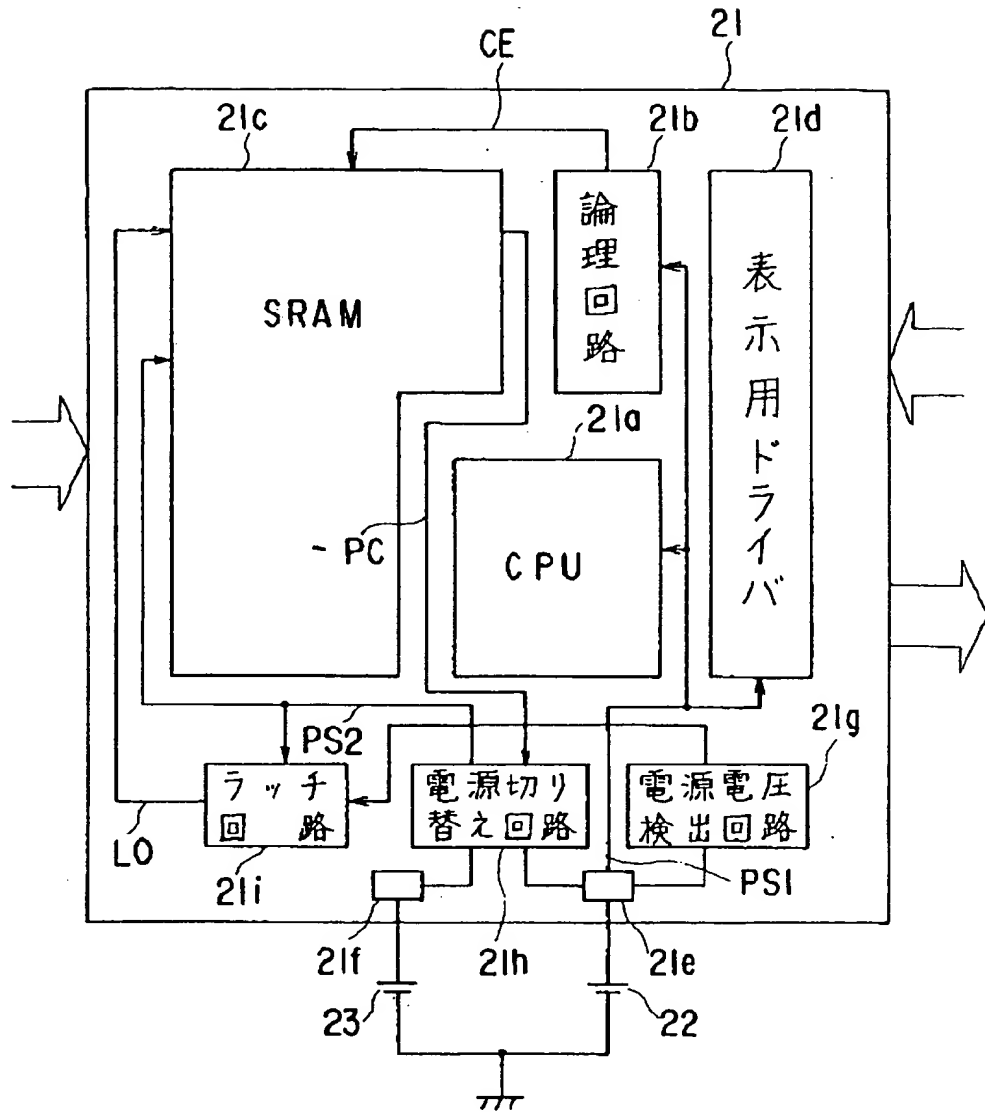
【図7】従来のメモリ・バックアップ回路が接続された半導体集積回路を用いた電子手帳を示す回路構成図。

【図8】図7に示すメモリ・バックアップ回路を高機能化した場合を示す回路構成図。

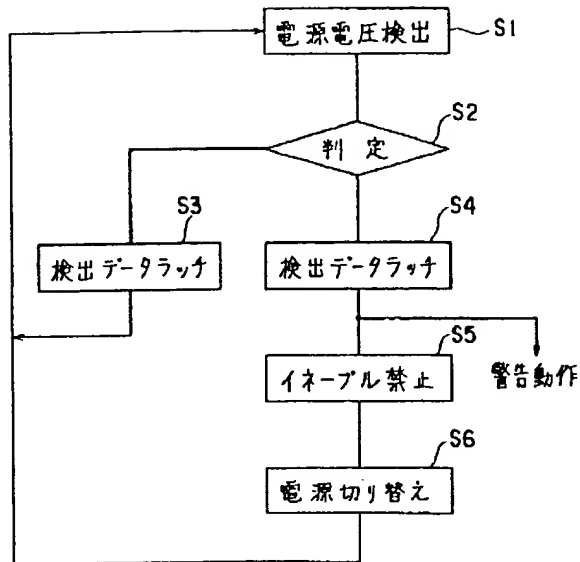
【符号の説明】

21…半導体集積回路、21a…CPU、21c…SRAM、21e、21f、21j…第1~第3の外部端子、21g…電源電圧検出回路、21h…電源切り替え回路、21i…ラッチ回路、22…動作用電池、23…メモリ保護用電池、P1~P7…Pチャネルトランジスタ、N1~N3…Nチャネルトランジスタ、PC…電源切り替え信号、CE…チップネーブル信号、C…キャパシタ、LS1、LS2…レベルシフト回路。

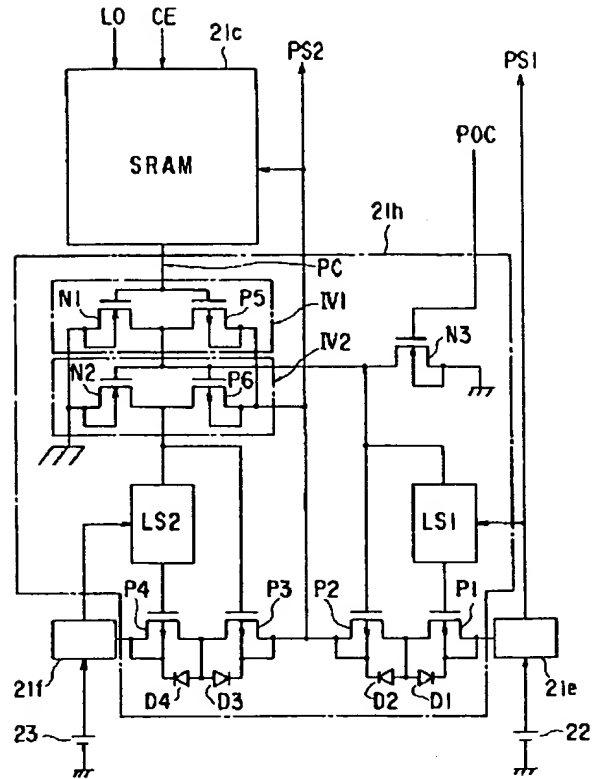
【図1】



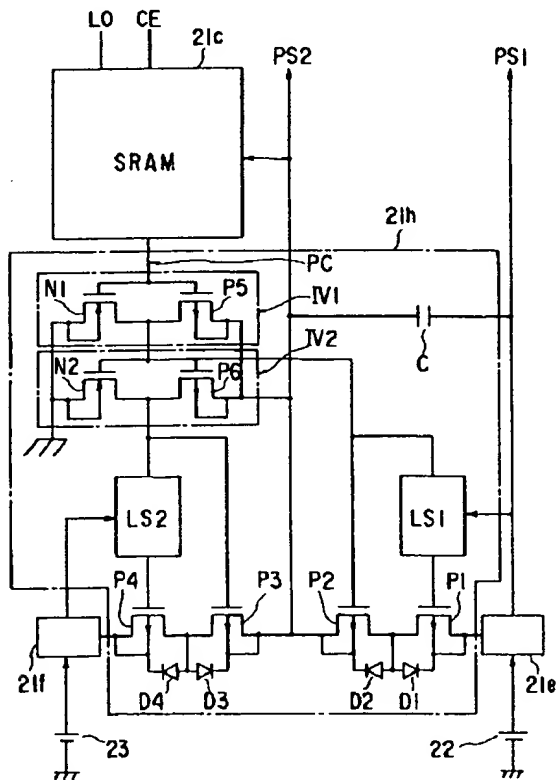
【図2】



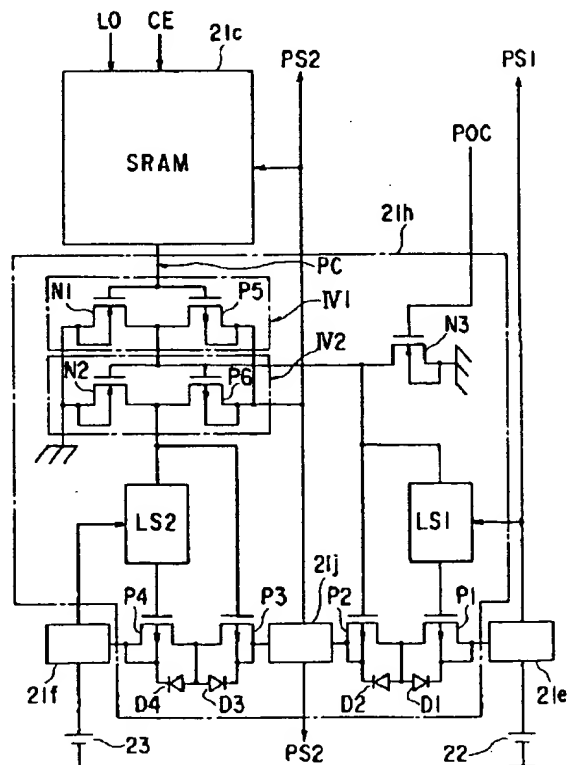
【図3】



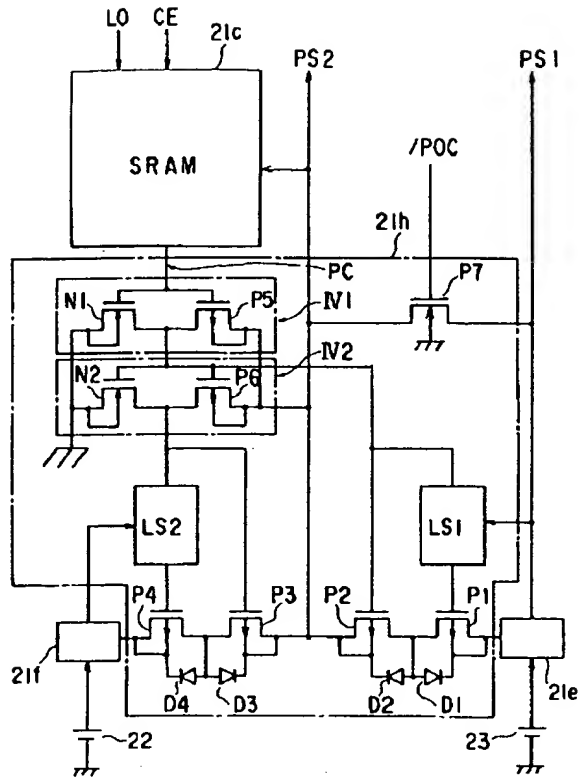
【図4】



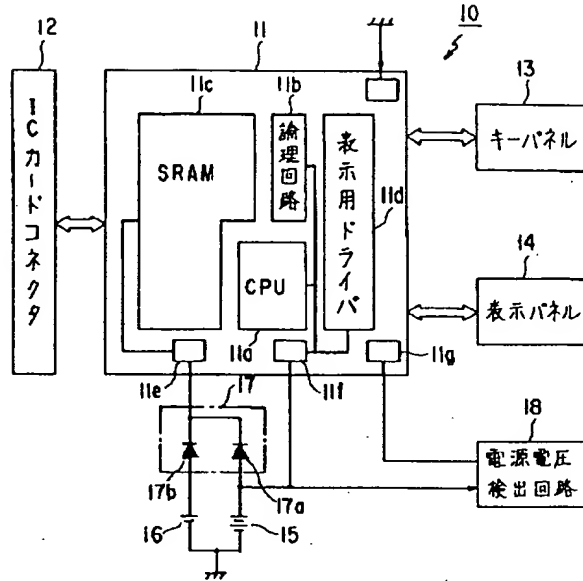
【図5】



【図6】



【図7】



【図8】

